

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-242057

(43)Date of publication of application : 21.09.1993

(51)Int.Cl.

G06F 15/16
G06F 9/445

(21)Application number : 04-041722

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 27.02.1992

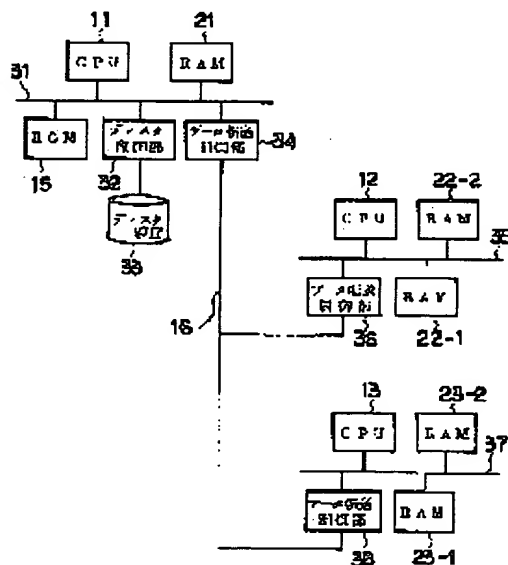
(72)Inventor : NAKAMURA KENICHI

(54) METHOD FOR STARTING MULTI-PROCESSOR SYSTEM

(57)Abstract:

PURPOSE: To attain miniaturization, reduction in power consumption and the simplification of a manufacturing process by providing a read-only memory on only one central processing unit and preforming the boot of respective central processing units with the execution of an initial loader program stored in the memory.

CONSTITUTION: A first CPU 11 boots according to the boot loader stored in a ROM 15. In other words, self-diagnosis such as check-sum of a RAM 21 is firstly performed, then a disk device 33 is checked, and after the boot loader for a second CPU 12 is temporally read from the disk device 33 into the RAM 21, it is transferred to the RAM 22-1 of the second CPU 12 by a data transfer control part 34, and at the same time, a resetting signal is sent to the second CPU 12. Then the first CPU 11 temporally reads the boot loader for the third CPU 13 from the disk device 33 into the RAM 21, thereafter, transfers it to the RAM 23-1 of a third CPU 13, and at the same time, transmits a resetting signal to the third CPU 13.



LEGAL STATUS

[Date of request for examination] 07.03.1995

[Date of sending the examiner's decision of rejection] 07.04.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-242057

(43) 公開日 平成5年(1993)9月21日

(51) Int.Cl.⁵

G 0 6 F 15/16
9/445

識別記号

4 2 0 S 9190-5L

8944-5B

F I

G 0 6 F 9/06

4 2 0 K

技術表示箇所

審査請求 未請求 請求項の数2(全10頁)

(21) 出願番号 特願平4-41722

(22) 出願日 平成4年(1992)2月27日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目18番地

(72) 発明者 中村 賢一

大阪府守口市京阪本通2丁目18番地 三洋
電機株式会社内

(74) 代理人 弁理士 吉田 研二 (外2名)

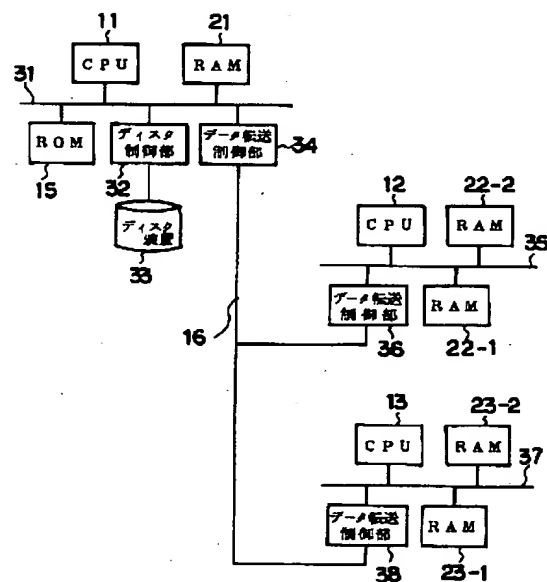
(54) 【発明の名称】 マルチプロセッサシステムの起動方式

(57) 【要約】

【目的】 ブートローダの格納に要するスペースを削減し、かつシステムのバージョンアップに柔軟に対応し得るマルチプロセッサシステムの起動方式を提供する。

【構成】 複数のCPU11~13のうち第1のCPU11についてのみ設けたROM15に格納されたブートローダの実行により、他の第2のCPU12及び第3のCPU13用のブートローダがディスク装置33から各CPU用のRAM22-1、及びRAM23-1に読み込まれ、これらの各ブートローダの実行により第2のCPU12、第3のCPU13のブートが行われる。

図1



【特許請求の範囲】

【請求項1】 複数の中央処理装置と、各中央処理装置ごとに設けられた書き込み読み出しメモリと、各中央処理装置についてのオペレーティングシステムを格納するディスク装置等の二次記憶装置とを備えたマルチプロセッサシステムにおいて、

前記複数の中央処理装置のうちの中央処理装置についてのみ、電源投入時にシステムのブートを行うイニシャルロードプログラムを格納した読み出し専用メモリを設けるとともに、

他の各中央処理装置用のそれぞれのイニシャルロードプログラムを前記二次記憶装置に格納しておき、

システム起動に際し、前記一の中央処理装置は前記読み出し専用メモリ内のイニシャルロードプログラムを実行することにより、前記二次記憶装置内のイニシャルロードプログラムをそれぞれ対応する前記各書き込み読み出しメモリに伝送して、各中央処理装置にリセット信号を送出するとともに、前記二次記憶装置から自己用のオペレーティングシステムをロードし、

他の中央処理装置は、前記リセット信号に応じて対応する書き込み読み出しメモリに格納されたイニシャルロードプログラムに従い前記二次記憶装置からそれぞれ自己用のオペレーティングシステムをロードすることを特徴とするマルチプロセッサシステムの起動方式。 20

【請求項2】 それぞれが書き込み読み出しメモリとデータ伝送制御部とを備えた複数の中央処理装置からなるマルチプロセッサシステムにおいて、

前記複数の中央処理装置のうちの中央処理装置についてのみ、電源投入時にシステムのブートを行うイニシャルロードプログラムを格納した読み出し専用メモリと、各中央処理装置用のイニシャルロードプログラム及びオペレーティングシステムを格納するディスク装置等の二次記憶装置とを設け、 30

システム起動に際し、前記一の中央処理装置は、前記読み出し専用メモリ内のイニシャルロードプログラムを実行することにより、前記二次記憶装置内の他の中央処理装置用のイニシャルロードプログラムを自己の書き込み読み出しメモリに読み出し、この読み出したイニシャルロードプログラムを前記データ伝送制御部により対応する中央処理装置用の書き込み読み出しメモリに伝送したのち、該中央処理装置にリセット信号を送出するとともに、前記二次記憶装置から自己用のオペレーティングシステムを自己用書き込み読み出しメモリにロードし、

他の各中央処理装置は、前記リセット信号に応じて自己の書き込み読み出しメモリに格納されたイニシャルロードプログラムを実行することにより、前記一の中央処理装置に対してオペレーティングシステムの伝送を要求し、

この要求を受けた前記一の中央処理装置は、要求元の中央処理装置用のオペレーティングシステムを前記二次記憶装置から自己の書き込み読み出しメモリに読み出し、この 40

読み出したオペレーティングシステムをデータ伝送制御部により要求元の中央処理装置の書き込み読み出しメモリに伝送することを特徴とするマルチプロセッサシステムの起動方式。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は複数の中央処理装置を備えたマルチプロセッサシステムに係わり、特にその起動方式に関する。

10 【0002】

【従来の技術】 近年のコンピュータシステムは高速化、多機能化が進み、複数のプロセッサ（以下、CPUと呼ぶ）を搭載して処理を分担するいわゆるマルチプロセッサシステムも一般的になっている。このようなシステムにおいては、従来、例えば特開昭54-37646号及び特開昭58-184656号公報に示されているように、起動時に各CPUがなすべき一連の処理を記述したイニシャルロードプログラム（以下、ブートロードと呼ぶ）を、各CPUごとに実装されたリードオンリメモリ（以下、ROMと呼ぶ）に書き込んでおき、起動時にこれを実行することによりディスク装置等からオペレーティングシステム（以下、OSと呼ぶ）を自己のメモリ内に読み込むようになっていた。

【0003】

【発明が解決しようとする課題】 このように、従来のシステム起動方式では、各CPUごとにブートロード格納用のROMを実装していたので、ROM実装用のソケットやROM制御回路が必要となり、ROM実装時の高さが高くなったり、ROM制御回路のスペースが必要であった。このため、近年のランダムアクセスメモリ（以下、RAMと呼ぶ）の大容量化に伴うRAMの実装面積の減少にもかかわらず、回路全体としての小型化が困難であり、また、低消費電力化、及び製造工程の簡素化を図れないという問題があった。

【0004】 また、ブートロードをROMに格納していたことから、システムのバージョンアップや周辺装置の増設等を行う場合にはROMの交換作業が必要となるため、ブートロードの更新に手間がかかり、事実上ユーザー側の機能アップはできないという問題があった。

【0005】 この発明は、かかる課題を解決するためになされたもので、ブートロードの格納に要するスペースを削減し、かつシステムのバージョンアップに柔軟に対応し得るマルチプロセッサシステムの起動方式を提供することを目的とする。

【0006】

【課題を解決するための手段】 請求項1記載の発明に係るマルチプロセッサシステムの起動方式は、複数の中央処理装置と、各中央処理装置ごとに設けられた書き込み読み出しメモリと、各中央処理装置についてのオペレーティングシステムを格納するディスク装置等の二次記憶装置 50

とを備えたマルチプロセッサシステムにおいて、前記複数の中央処理装置のうち一の中央処理装置についてのみ、電源投入時にシステムのブートを行うイニシャルロードプログラムを格納した読出し専用メモリを設けるとともに、他の各中央処理装置用のイニシャルロードプログラムを二次記憶装置に格納しておき、システム起動に際し、一の中央処理装置は読出し専用メモリ内のイニシャルロードプログラムを実行することにより、二次記憶装置内のイニシャルロードプログラムをそれぞれ対応する各書き込み読出しメモリに転送して、各中央処理装置にリセット信号を送出するとともに、二次記憶装置から自己用のオペレーティングシステムをロードする一方、他の中央処理装置では、リセット信号に応じて対応する書き込み読出しメモリに格納されたイニシャルロードプログラムに従い二次記憶装置からそれぞれ自己用のオペレーティングシステムをロードするようにしたものである。

【0007】請求項2記載の発明に係るマルチプロセッサシステムの起動方式は、それぞれが書き込み読出しメモリとデータ伝送制御部とを備えた複数の中央処理装置からなるマルチプロセッサシステムにおいて、複数の中央処理装置のうち一の中央処理装置についてのみ、電源投入時にシステムのブートを行うイニシャルロードプログラムを格納した読出し専用メモリと、各中央処理装置用のイニシャルロードプログラム及びオペレーティングシステムを格納するディスク装置等の二次記憶装置とを設け、システム起動に際し、一の中央処理装置は、読出し専用メモリ内のイニシャルロードプログラムを実行することにより、二次記憶装置内の他の中央処理装置用のイニシャルロードプログラムを自己の書き込み読出しメモリに読み出し、この読み出したイニシャルロードプログラムをデータ伝送制御部により対応する中央処理装置用の書き込み読出しメモリに転送したのち、該中央処理装置にリセット信号を送出するとともに、二次記憶装置から自己用のオペレーティングシステムを自己用書き込み読出しメモリにロードし、他の各中央処理装置は、リセット信号に応じて自己の書き込み読出しメモリに格納されたイニシャルロードプログラムを実行することにより、一の中央処理装置に対してオペレーティングシステムの転送を要求し、この要求を受けた一の中央処理装置は、要求元の中央処理装置用のオペレーティングシステムを二次記憶装置から自己の書き込み読出しメモリに読み出し、この読み出したオペレーティングシステムをデータ伝送制御部により要求元の中央処理装置の書き込み読出しメモリに転送するようにしたものである。

【0008】

【作用】本発明に係るマルチプロセッサシステムの起動方式では、複数の中央処理装置のうち1つの中央処理装置についてのみ設けた読出し専用メモリに格納されたイニシャルロードプログラムの実行により、他の中央処理装置用のイニシャルロードプログラムが二次記憶装置か

ら各中央処理装置用の書き込み読出しメモリに読み込まれ、これらの各イニシャルロードプログラムに従い各中央処理装置のブートが行われる。

【0009】

【実施例】以下実施例に基づき本発明を詳細に説明する。

【0010】図1は、本発明の一実施例におけるシステム起動方式を応用したマルチプロセッサシステムを表したものである。このシステムには、第1のCPU11、第2のCPU12、及び第3のCPU13が備えられ、それぞれ所定の処理を分担して行うようになっている。第1のCPU11は、バス31によりROM15、RAM21、データ伝送制御部34に接続されるほか、ディスク制御部32を介してディスク装置33に接続されている。

【0011】ROM15には、第1のCPU11用のブートロードが格納されており、システムの電源投入によりブートを行うようになっている。RAM21は、ディスク装置33に格納された自CPU用のOS27(図2)やアプリケーションプログラムを格納するほか、ディスク装置33から読み出した第2のCPU12、第3のCPU13用のブートロード25、26を一旦格納するためのものである。このRAM21に格納されたブートロードは、データ伝送制御部34の制御の下に、RAM22-1またはRAM23-1にDMA転送されるようになっている。

【0012】なお、ROM15は、RAM21のアドレス空間の一部に割り当てられ、第1のCPU11のリセット時のスタートベクタはROM15の先頭アドレスに設定されている。

【0013】ディスク装置33には、図2に示すように、セクタアドレスB₁₂、B₁₃を先頭とする領域にそれぞれ第2のCPU12及び第3のCPU13用のブートロード25、26が格納され、また、セクタアドレスO₁₁、O₁₂、O₁₃を先頭とする領域にそれぞれ第1のCPU11用のオペレーティングシステム(以下、OSと呼ぶ)27、第2のCPU12用のOS28、第3のCPU13用のOS29が格納されている。

【0014】第2のCPU12は、バス35によりRAM22-1、RAM22-2、及びデータ伝送制御部36に接続されている。RAM22-1とRAM22-2は連続したアドレス空間に割り当てられ、第2のCPU12のリセット時のスタートベクタはRAM22-1の先頭アドレスに設定されている。ここに、RAM22-1は第2のCPU12用のブートロード25(図2)を格納するためのものであり、RAM22-2は第2のCPU12用のOS28(同図)やアプリケーションプログラム等を格納するためのものである。

【0015】同様に、第3のCPU13は、バス37によりRAM23-1、RAM23-2、及びデータ伝送

制御部38に接続されている。RAM23-1とRAM23-2は連続したアドレス空間に割り当てられ、第3のCPU13のリセット時のスタートベクタはRAM23-1の先頭アドレスに設定されている。ここに、RAM23-1は第3のCPU13用のブートローダ26(図2)を格納するためのものであり、RAM23-2は第3のCPU13用のOS29(同図)や、アプリケーションプログラム等を格納するためのものである。

【0016】データ転送制御部34、36、38はそれぞれDMA(ダイレクトメモリアクセス)機能を有し、データ転送路16を介して相互にデータや各種制御信号のほかCPU12、13のリセット信号を転送できるようになっている。

【0017】以上のような構成のマルチプロセッサシステムの起動時の動作を説明する。ここではまず図3とともに第1のCPU11の動作を説明する。

【0018】システムの電源を投入すると、第1のCPU11がROM15に格納されたブートローダに従ってブートを行う。すなわち、まずRAM21のチェックサムのチェック等の自己診断を行い(図3ステップS101)、データ転送制御部34内のDMAレジスタ(図示せず)等の周辺ハード回路のチェックを行う(ステップS102)。そして、ディスク装置33の回転が定常状態になったのち、その診断のための命令によりディスク装置33のチェックを行う。

【0019】この結果が正常であった場合(ステップS103;Y)、第1のCPU11はディスク装置33から第2のCPU12用のブートローダ25(図2)をRAM21に一旦読み込んだのち(ステップS104)、これをデータ転送制御部34の制御により第2のCPU12のRAM22-1に転送するとともに(ステップS105)、第2のCPU12に対してリセット信号を送出する(ステップS106)。

【0020】次に、第1のCPU11は、ディスク装置33から第3のCPU13用のブートローダ26(図2)をRAM21に一旦読み込んだのち(ステップS107)、これをデータ転送制御部34の制御により第3のCPU13のRAM23-1に転送するとともに(ステップS108)、第3のCPU13に対してリセット信号を送出する(ステップS109)。

【0021】次に、第1のCPU11は自CPU用のOS27をディスク装置33からRAM21のOS用エリアにロードし(ステップS110)、このOS27に制御を渡す(ステップS111)。これにより、ROM15内のブートローダによる第1のCPU11のブート動作が終了する。

【0022】一方、図4に示すように、第1のCPU11からのリセット信号を受けた第2のCPU12は、RAM22-1に格納されたブートローダ25に従いブートを行う。すなわち、第1のCPU11の場合と同様

に、まずRAM22-1、22-2のチェックサムのチェック等の自己診断を行い(図4ステップS201)、データ転送制御部36内のDMAレジスタ(図示せず)等の周辺ハード回路のチェックを行う(ステップS202)。その後、第2のCPU12は、自CPU用のOS28をディスク装置33からRAM22-2内のOS用エリアにロードし(ステップS203)、このOS28に制御を渡す(ステップS204)。これにより、RAM22-1内のブートローダによる第2のCPU12のブート動作が終了する。なお、第3のCPU13についても同様で、RAM23-1に格納されたブートローダに従いブートを行うが、ここでは説明を省略する。

【0023】なお、本実施例では、第2のCPU12及び第3のCPU13用のブートローダをディスクから自己のRAMに読み込むこととしたが、これらのCPUが第1のCPU11と同じ動作をするシステムにおいては、ROM15に格納された第1のCPU11用のブートローダを直接自己のRAMにコピーするようにしてもよい。

【0024】図5は、本発明の第2の実施例におけるシステム起動方式を応用したマルチプロセッサシステムを表したものである。この図で、第1の実施例(図1)と同一部分には同一の符号を付し、適宜説明を省略する。

【0025】このシステムには、第1のCPU11、第2のCPU12、第3のCPU13が備えられ、それぞれ所定の処理を分担して行うようになっている。第1のCPU11は、ローカルバス45により自CPU用のOSを格納するためのRAM21、及びメモリ管理部(MMU)41に接続されている。メモリ管理部41は、ローカルバス45と共通バス40との間のバス信号の違い、例えばビット幅やクロックタイミングの違い等を吸収するためのもので、内部にキャッシュメモリ及びその制御回路(図示せず)を有している。第2のCPU12及び第3のCPU13についても同様の接続構成となっている。

【0026】共通バス40には、第1のCPU11用のブートローダを格納したROM15、及びRAMで構成される共通メモリ45が接続されるとともに、ディスク制御部32を介してディスク装置33が接続されている。

【0027】共通メモリ45は、第2のCPU12用のブートローダ25を格納するためのRAM22-1、及び第3のCPU13用のブートローダ26を格納するためのRAM23-1を含んでいる。ここに、ROM15、RAM22-1、RAM23-1は一連のアドレス空間に割り当てられており、これらの各エリアの先頭アドレスにそれぞれ第1のCPU11、第2のCPU12、及び第3のCPU13のリセット時のスタートベクタが設定されている。

【0028】ディスク装置33には、第1の実施例(図

2)の場合と同様、第2のCPU12及び第3のCPU13用のブートローダ25、26が格納されるとともに、第1～第3のCPU11～13用のOS27～29がそれぞれ格納されている。

【0029】以上のような構成のマルチプロセッサシステムの起動時の動作を図6とともに説明する。

【0030】システムの電源を投入すると、第1のCPU11はROM15に格納されたブートローダに従ってブートを行う。すなわち、まずRAM21のチェックサムのチェック等の自己診断を行い(図6ステップS301)、メモリ管理部41等の周辺ハード回路のチェックを行う(ステップS302)。そして、ディスク装置33の回転が定常状態になったのち、その診断のための命令によりディスクのチェックを行う。

【0031】この結果が正常であった場合(ステップS303;Y)、第1のCPU11はディスク装置33から第2のCPU12用のブートローダ25(図2)をRAM22-1に読み込んだのち(ステップS304)、第2のCPU12に対してリセット信号を送出する(ステップS305)。

【0032】次に、第1のCPU11は、ディスク装置33から第3のCPU13用のブートローダ26(図2)を共通メモリ45のRAM23-1に読み込んだのち(ステップS106)、第3のCPU13に対してリセット信号を送出する(ステップS307)。

【0033】この後、第1のCPU11は、自CPU用のOS27をディスク装置33からRAM21のOS用エリアにロードし(ステップS308)、このOS27に制御を渡す(ステップS309)。これにより、ROM15内のブートローダによる第1のCPU11のブート動作が終了する。

【0034】一方、第1のCPU11からのリセット信号を受けた第2のCPU12、及び第3のCPU13は、共通メモリ45内のRAM22-1、及びRAM23-1にそれぞれ格納されたブートローダ25、26に従い、第1の実施例(図4)に示したものと同様の手順でブートを行う。

【0035】このようにして、第1のCPU11によるROM15内のブートローダの実行から始まり、第2のCPU12及び第3のCPU13のブートが順次行われることとなる。

【0036】なお、第2の実施例では、ROM15を共通バス40に接続することとしたが、第1のCPU11

のローカルバス45に接続するようにしてもよい。

【0037】

【発明の効果】以上説明したように、本発明によれば、複数の中央処理装置のうち1つの中央処理装置についてのみ読出し専用メモリを設け、これに格納したイニシャルロードプログラムの実行により、他の中央処理装置用のイニシャルロードプログラムが二次記憶装置から各中央処理装置用の書き込み読出しメモリに読み込み、これらの各イニシャルロードプログラムに従い各中央処理装置のブートを行うこととしたので、多数の中央処理装置を有するマルチプロセッサシステムにおいても、読出し専用メモリを1つだけ実装すればよい。このため、回路全体として小型化、低消費電力化、製造工程の簡素化を図ることができるという効果がある。

【0038】また、システムのバージョンアップや周辺装置の増設等を行う場合でも、読出し専用メモリの内容を更新する必要がなく、二次記憶装置内のイニシャルロードプログラムのみを修正すればよいので、ユーザ側の機能アップも容易であり、システムのバージョンアップに柔軟に対応することができるという効果もある。

【図面の簡単な説明】

【図1】本発明の第1の実施例におけるシステム起動方式を応用したマルチプロセッサシステムを示すブロック図である。

【図2】このマルチプロセッサシステムのディスク装置の内容を示す説明図である。

【図3】このシステム起動方式における第1のCPUの動作内容を説明するための流れ図である。

【図4】このシステム起動方式における他のCPUの動作内容を説明するための流れ図である。

【図5】本発明の第2の実施例におけるシステム起動方式を応用したマルチプロセッサシステムを示すブロック図である。

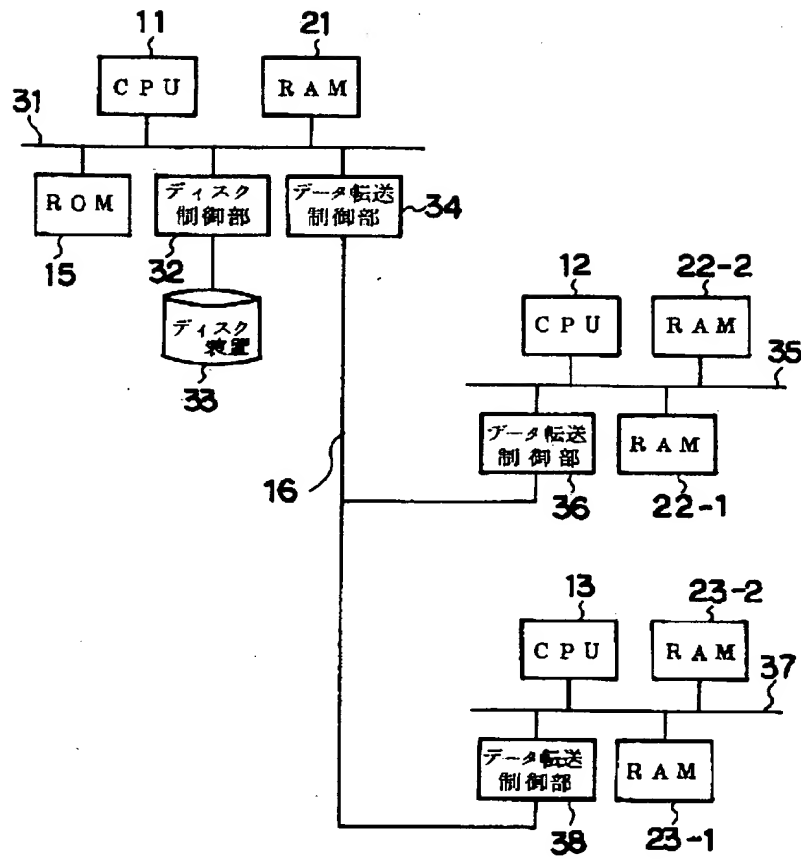
【図6】このシステム起動方式における第1のCPUの動作内容を説明するための流れ図である。

【符号の説明】

11 第1のCPU
12 第2のCPU
13 第3のCPU
15 ROM
22-1, 22-2, 23-1, 23-2 RAM
33 ディスク装置

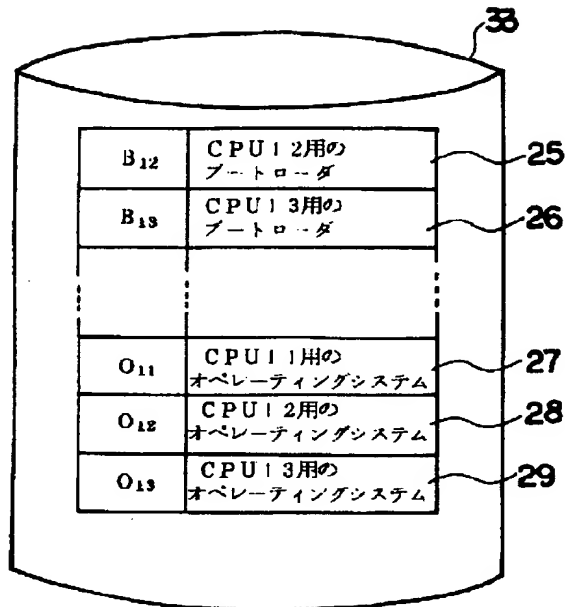
【図1】

図 1



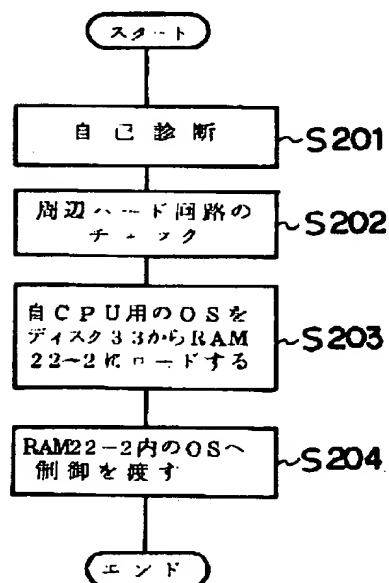
【図2】

図 2



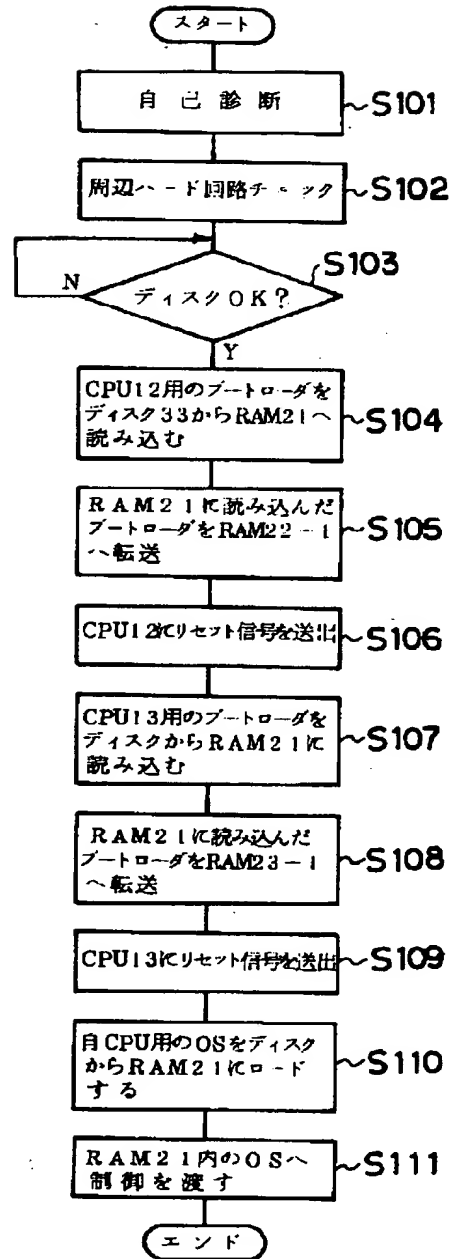
【図4】

図 4



【図3】

図 3



【図5】

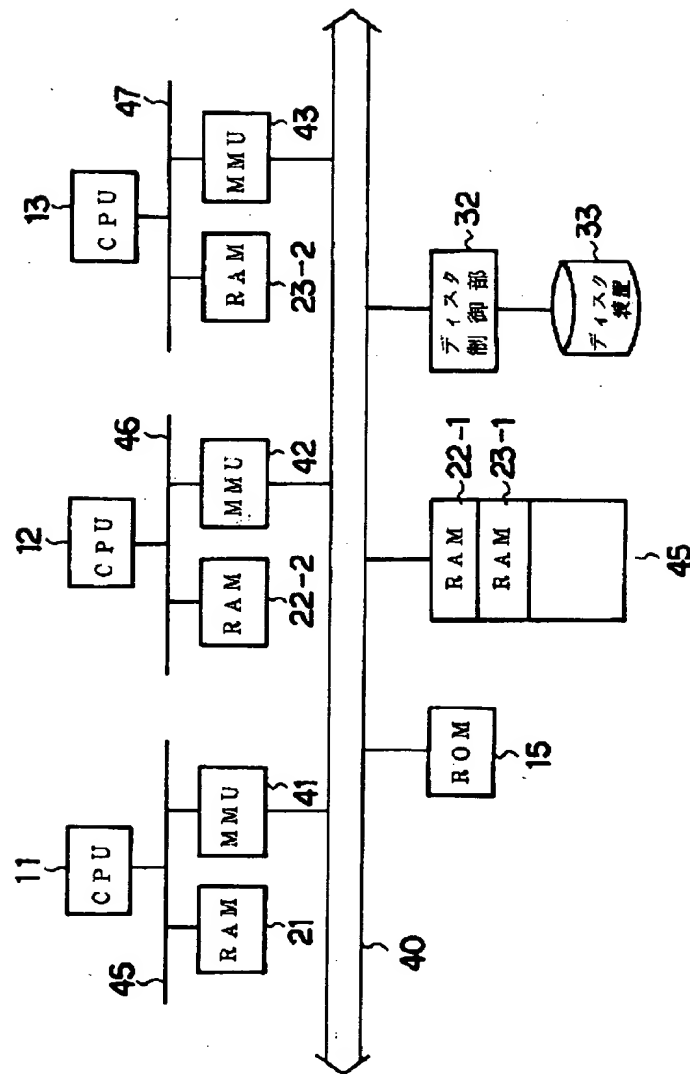


図5

【図6】

図 6

